



(19)

(11) Publication number: 2001168310 A

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 11351987

(51) Intl. Cl.: H01L 27/146 H04N 5/335

(22) Application date: 10.12.99

(30) Priority:

(43) Date of application
publication: 22.06.01(84) Designated
contracting states:

(71) Applicant: INNOTECH CORP

(72) Inventor: MITSUIDA TAKASHI

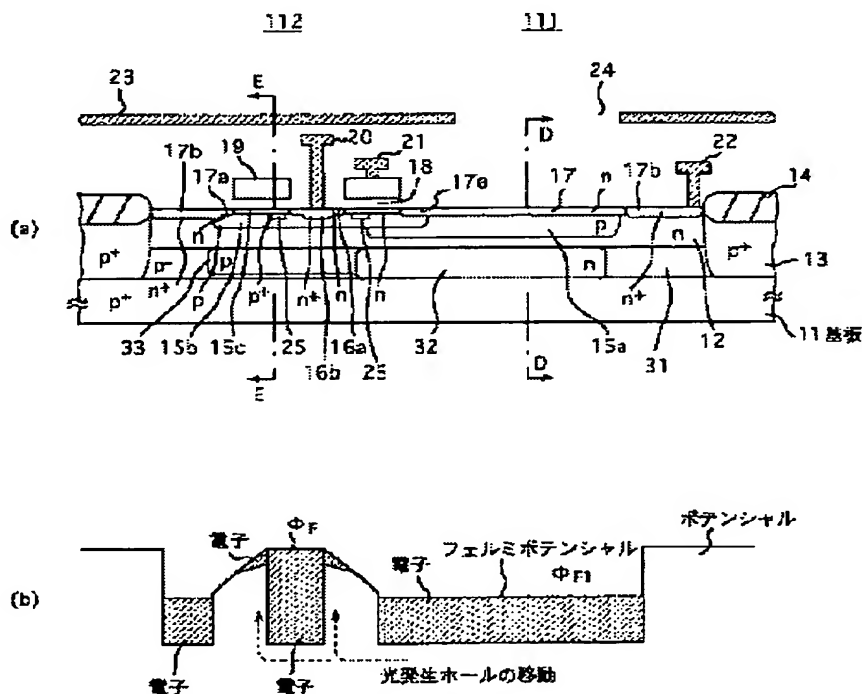
(74) Representative:

(54) SOLID-STATE IMAGE
PICK-UP ELEMENT AND
SOLID-STATE IMAGE PICK-
UP DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To restrain stationary pattern noises caused by charge emitted from the defects of an interface between an element isolating insulation film and a semiconductor layer, restraining light generating charge from being injected into the surface defects of a semiconductor layer.

SOLUTION: A solid-state image pick-up element is equipped with a photo-detecting diode 111, and a light signal detecting insulated gate field effect transistor 112 located adjacent to the diode 111. A carrier pocket 25 is provided inside a second well region 15b, an element isolating insulating film 14 is formed so as to isolate the adjacent unit pixels 101 from each other, and an opposite conductivity-type element isolating region 13 which isolates certain conductivity-type second semiconductor layers 12 and 32 is formed so as to reach first semiconductor layers 11 and 31 containing the undersurface of the insulating film 14.



COPYRIGHT: (C)2001,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-168310
(P2001-168310A)

(43) 公開日 平成13年6月22日 (2001.6.22)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 1 L 27/146		H 0 4 N 5/335	U 4 M 1 1 8
H 0 4 N 5/335		H 0 1 L 27/14	E 5 C 0 2 4
			A

審査請求 有 請求項の数11 O L (全 11 頁)

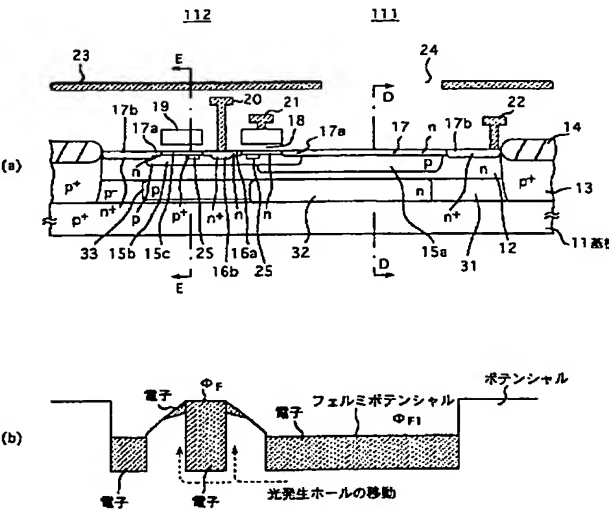
(21) 出願番号	特願平11-351987	(71) 出願人	593102345 イノテック株式会社 神奈川県横浜市港北区新横浜 3-17-6
(22) 出願日	平成11年12月10日 (1999. 12. 10)	(72) 発明者	三井田 ▲高▼ 神奈川県横浜市港北区新横浜 3丁目17番6号 イノビジョン株式会社内
		(74) 代理人	100091672 弁理士 岡本 啓三 Fターム(参考) 4M118 AA05 AB01 BA14 CA04 FA06 FA26 FA28 FA34 FA50 GB03 GB07 GB11 5C024 AA01 BA01 CA06 FA01 GA01 GA31 GA42 HA10 JA04

(54) 【発明の名称】 固体撮像素子及び固体撮像装置

(57) 【要約】

【課題】 半導体層表面欠陥への光発生電荷の注入を抑制しつつ、素子分離絶縁膜と半導体層との界面等の欠陥から放出される電荷に基づく固定パターン雑音を抑制する。

【解決手段】 受光ダイオード111と、受光ダイオード111に隣接する光信号検出用の絶縁ゲート型電界効果トランジスタ112とを備えた固体撮像素子において、第2のウェル領域15b内部にキャリアポケット25を有し、隣接する単位画素101を分離するように素子分離絶縁膜14が形成され、かつ素子分離絶縁膜14の下面を含み、かつ第1の半導体層11及び31まで達するように一導電型の第2の半導体層12及び32を分離する反対導電型の素子分離領域13が形成されている。



【特許請求の範囲】

【請求項 1】 受光ダイオード及び該受光ダイオードに隣接する光信号検出用の絶縁ゲート型電界効果トランジスタを備えた単位画素を有する固体撮像素子において、前記受光ダイオードの部分は、第 1 の半導体層と、該第 1 の半導体層上の一導電型の第 2 の半導体層と、該第 2 の半導体層内に形成された反対導電型のウエル領域と、該ウエル領域の表層から前記第 2 の半導体層の表層に延在するように形成された一導電型の不純物領域を有し、

前記絶縁ゲート型電界効果トランジスタの部分は、前記第 1 の半導体層と、前記第 2 の半導体層と、前記ウエル領域と、前記ウエル領域の表層に形成された一導電型のソース領域と、前記ウエル領域の表層に形成された、前記不純物領域と接続しているドレイン領域と、前記ソース領域と前記ドレイン領域の間のチャネル領域と、該チャネル領域上にゲート絶縁膜を介して形成されたゲート電極と、前記チャネル領域下のソース領域の近くの前記ウエル領域内部に形成された反対導電型の高濃度埋込層とを有し、

隣接する前記単位画素を分離するように素子分離絶縁膜が形成され、かつ該素子分離絶縁膜の下面を含み、かつ前記第 1 の半導体層まで達するように前記第 2 の半導体層を分離する反対導電型の素子分離領域が形成されていることを特徴とする固体撮像素子。

【請求項 2】 前記不純物領域又は前記ドレイン領域が前記素子分離領域の近くまで延在するように形成され、前記素子分離領域の近くで前記不純物領域又は前記ドレイン領域と接続して前記ドレイン電極が形成されていることを特徴とする請求項 1 記載の固体撮像素子。

【請求項 3】 前記受光ダイオード部の第 1 の半導体層は反対導電型半導体の基板からなり、かつ前記受光ダイオード部の第 2 の半導体層は一導電型の埋込層と一導電型領域とからなり、前記絶縁ゲート型電界効果トランジスタ部の第 1 の半導体層は前記反対導電型半導体の基板と、該基板上に形成された反対導電型の埋込層を含む反対導電型の第 3 の半導体層とからなり、かつ前記絶縁ゲート型電界効果トランジスタ部の第 2 の半導体層は前記一導電型領域からなることを特徴とする請求項 1 又は 2 記載の固体撮像素子。

【請求項 4】 前記高濃度埋込層が形成されたソース領域の近辺は、前記ドレイン領域から前記ソース領域に至るチャネル長方向の一部領域であって、前記ソース領域側であることを特徴とする請求項 1 乃至 3 の何れかに記載の固体撮像素子。

【請求項 5】 前記高濃度埋込層はチャネル幅方向全域にわたって形成されていることを特徴とする請求項 1 乃至 4 の何れかに記載の固体撮像素子。

【請求項 6】 前記絶縁ゲート型電界効果トランジスタのゲート電極はリング状を有し、前記ソース領域は前記

ゲート電極によって囲まれた前記ウエル領域の表層に形成され、前記ドレイン領域は前記ゲート電極を囲むように前記ウエル領域の表層に形成されていることを特徴とする請求項 1 乃至 5 の何れかに記載の固体撮像素子。

【請求項 7】 前記絶縁ゲート型電界効果トランジスタは低濃度ドレイン（LDD）構造を有し、低濃度の前記ドレイン領域が延在して該低濃度のドレイン領域とほぼ同じ不純物濃度を有する前記不純物領域が形成されていることを特徴とする請求項 1 乃至 6 の何れかに記載の固体撮像素子。

【請求項 8】 前記絶縁ゲート型電界効果トランジスタのゲート電極及びその周辺は遮光されていることを特徴とする請求項 1 乃至 7 の何れかに記載の固体撮像素子。

【請求項 9】 前記絶縁ゲート型電界効果トランジスタのソース領域に負荷回路が接続されてソースフォロウ回路を構成していることを特徴とする請求項 1 乃至 8 の何れかに記載の固体撮像素子。

【請求項 10】 前記ソースフォロウ回路のソース出力は映像信号出力端子に接続されていることを特徴とする請求項 9 記載の固体撮像素子。

【請求項 11】 請求項 1 乃至 10 の何れかに記載の固体撮像素子を備えたことを特徴とする固体撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、固体撮像素子及び固体撮像装置に関し、より詳しくは、ビデオカメラ、電子カメラ、画像入力カメラ、スキャナ又はファクシミリ等に用いられる閾値電圧変調方式の MOS 型イメージセンサを用いた固体撮像素子及び固体撮像装置に関する。

【0002】

【従来の技術】CCD 型イメージセンサや MOS 型イメージセンサなどの半導体イメージセンサは量産性に優れているため、パターンの微細化技術の進展に伴い、ほとんどの画像入力デバイス装置に適用されている。特に、近年、CCD 型イメージセンサと比べて、消費電力が小さく、かつセンサ素子と周辺回路素子とを同じ CMOS 技術によって作成できるという利点を生かして、MOS 型イメージセンサが見直されている。

【0003】図 10 は、このような MOS 型イメージセンサを示す断面図である。同図に示すように、受光ダイオード 311 と光信号検出用 MOS トランジスタ 312 とが一つの単位画素を形成する。隣接する単位画素を分離するため、素子分離領域の半導体層 212 上に素子分離絶縁膜 214 が形成されている。また、光信号検出用 MOS トランジスタを覆うように遮光膜 223 が形成され、遮光膜 223 には受光ダイオード 311 の受光部上に光信号が透過するような受光窓 224 が形成されている。

【0004】なお、受光ダイオード 311 と光信号検出

10

20

30

40

50

3

用MOSトランジスタ312の形成領域にわたって半導体層212の表層にウエル領域215が形成されている。MOSトランジスタ312部分のウエル領域215内にはソース領域216とドレイン領域217aとが形成されている。一方、受光ダイオード311部分のウエル領域215表層には、ドレイン領域217aと接続して一導電型領域217が形成され、光発生電荷に対する埋込構造を形成している。

【0005】ソース領域216にはソース電極220が接続され、一導電型領域217、即ちドレイン領域217aにはドレイン電極222が接続されている。さらに、ソース領域216とドレイン領域217aの間のチャネル領域215c上にゲート絶縁膜218を介してゲート電極219が形成されている。ソース領域216の近傍であって、ウエル領域215内にはホールポケット（キャリアポケット）225が設けられており、ここに光発生正孔が蓄積されて光発生正孔の蓄積量に比例してMOSトランジスタ312の閾値を変化させる。

【0006】このMOS型イメージセンサの一連の動作は、初期化期間―蓄積期間―読出期間を経る。初期化期間に各電極に高い逆電圧を印加して空乏化させ、ホールポケット225に残る光発生正孔を放出させる。蓄積期間に光照射により光発生正孔を生じさせてホールポケット225に蓄積させ、読出期間に光発生正孔の蓄積量に比例した光信号を検出する。

【0007】

【発明が解決しようとする課題】ところで、上記MOS型イメージセンサにおいては、素子分離絶縁膜214と半導体層212との界面には欠陥が生じやすく、その欠陥に正孔が捕獲されていることが多い。これらの正孔は初期化期間或いは蓄積期間に放出される。そして、これらの正孔は空乏化したn型の半導体層212を経てp型のウエル領域215に注入され、ホールポケット225に蓄積される。このような欠陥から放出されてホールポケット225に蓄積された正孔は固定パターン雑音の発生原因となるという問題がある。

【0008】本発明は、上記従来技術の問題点に鑑みて創作されたものであり、素子分離絶縁膜と半導体層との界面等の欠陥から放出される電荷に基づく固定パターン雑音を抑制することが可能なMOS型イメージセンサを用いた固体撮像素子及びこの固体撮像素子を備えた固体撮像装置を提供するものである。

【0009】

【課題を解決するための手段】上記課題を解決するため、この発明は固体撮像素子に係り、その基本構成として、図2(a)に示すように、受光ダイオード111と受光ダイオード111に隣接する光信号検出用の絶縁ゲート型電界効果トランジスタ（MOSトランジスタ）112とを含む単位画素101を有し、隣接する単位画素101を分離するように素子分離絶縁膜14が形成さ

4

れ、かつ素子分離絶縁膜14の下面を含み、かつ第1の半導体層11及び31まで達するように第2の半導体層12を分離する反対導電型の素子分離領域13が形成されていることを特徴としている。

【0010】また、不純物領域17又はドレイン領域17bが素子分離領域13の近くまで延在するように形成され、素子分離領域13の近くで不純物領域17又はドレイン領域17bと接続してドレイン電極22が形成されていることを特徴としている。なお、受光ダイオード111と光信号検出用の絶縁ゲート型電界効果トランジスタ（MOSトランジスタ）112とは相互に接続したウエル領域15a、15bに形成され、光信号検出用MOSトランジスタ112のソース領域の周辺部のウエル領域15b内に光発生電荷を蓄積する高濃度埋込層（キャリアポケット）25を有している。

【0011】一般に、絶縁膜と半導体層との界面には準位が多い。特に、素子分離絶縁膜14が選択酸化（LOCOS（LOCAL Oxidation of Silicon））により形成されている場合、界面準位に加えてさらに熱歪みによる欠陥も生じ易い。ドレイン領域17a、17bと素子分離絶縁膜14が隣接するような場合、ドレイン領域17a、17bの端部ではドレイン領域17a、17bのpn接合終端部が表面と接しており、ドレイン領域17a、17bから横方向に広がる空乏層中に表面準位が含まれる。このため、リーク電流が生じ易い。上記のように、本願発明では、素子分離絶縁膜14の下面全体を含み、かつ第1の半導体層11及び31まで達するように第2の半導体層12を分離する反対導電型の素子分離領域13が形成されている。このため、初期化期間及び蓄積期間においてn型のドレイン領域17a、17bに正の電圧を印加したときに、p型のウエル領域15a、15b或いはp型の基板11から広がる空乏層は素子分離領域13の外側周辺部に達するのみで素子分離領域13の内部には広がらないため、上記界面の欠陥は上記空乏層に覆われない。従って、上記界面の欠陥に捕獲された電荷がその空乏層中に放出されるのを防止することができ、このような界面の欠陥に起因する電荷のホールポケット（キャリアポケット）25への蓄積による固定パターン雑音を抑制することができる。

【0012】また、ドレイン領域17bの端部、かつ素子分離領域13の近くにドレイン電極22が設けられている。初期化期間及び蓄積期間においては、ドレイン電極22が最も高電位になり、かつ基板11及び基板11と接続した素子分離領域13が最も低電位になる。即ち、ドレイン電極22と素子分離領域13が近いので、図5(b)のように、ドレイン電極22から素子分離領域13にかけて急峻なポテンシャル傾斜となる。このポテンシャル傾斜により、たとえドレイン領域17a、17bの端部でリーク電流が生じたとしてもリーク電流の基となる電荷が直ちに基板11側に流れ、ウエル

領域 15a、15b の方、従ってホールポケット 25 の方には流れにくくなる。

【0013】これにより、欠陥に起因する電荷のホールポケット 25 への蓄積による固定パターン雑音をより一層抑制することができる。なお、ウェル領域等が上記と逆の導電型の場合、即ち高濃度埋込層が n 型の場合、高濃度埋込層はエレクトロンポケット（キャリアポケット）となり、光発生電子を蓄積することになる。そして、初期化期間及び蓄積期間においては、ドレイン電極が最も低電位になり、かつ基板及び基板と接続した素子分離領域が最も高電位になる。これにより、たとえドレイン領域の端部でリーク電流が生じたとしてもリーク電流の基となる電荷が直ちに基板 11 側に流れ、エレクトロンポケットの方には流れにくくなる。

【0014】また、素子分離領域上に、素子分離領域内にその下面全体が含まれるように素子分離絶縁膜が形成されているため、上記界面の欠陥に捕獲された電荷がその空乏層中に放出されるのを防止することができ、このような界面の欠陥に起因する電荷のエレクトロンポケットへの蓄積による固定パターン雑音を抑制することができる。

【0015】

【発明の実施の形態】以下に、本発明の実施の形態について図面を参照しながら説明する。図 1 は、本発明の実施の形態に係る MOS 型イメージセンサの単位画素内における素子レイアウトについて示す平面図である。図 1 に示すように、単位画素 101 内に、受光ダイオード 111 と光信号検出用 MOS トランジスタ 112 とが隣接して設けられている。MOS トランジスタ 112 として、低濃度ドレイン構造（LDD 構造）を有する n チャネル MOS（nMOS）を用いている。

【0016】これら受光ダイオード 111 と MOS トランジスタ 112 は、それぞれ異なるウェル領域、即ち第 1 のウェル領域 15a と第 2 のウェル領域 15b に形成され、それらのウェル領域 15a、15b は互いに接続されている。受光ダイオード 111 の部分の第 1 のウェル領域 15a は光照射による電荷の発生領域の一部を構成している。MOS トランジスタ 112 の部分の第 2 のウェル領域 15b はこの領域 15b に付与するポテンシャルによってチャネルの閾値電圧を変化させることができるゲート領域を構成している。

【0017】MOS トランジスタ 112 の部分は低濃度ドレイン（LDD）構造を有している。ドレイン領域 17a、17b はリング状のゲート電極 19 の外周部を取り囲むように形成され、ソース領域 16a、16b はリング状のゲート電極 19 の内周に囲まれるように形成されている。低濃度のドレイン領域 17a が延在して低濃度のドレイン領域 17a とほぼ同じ不純物濃度を有する受光ダイオード 111 の不純物領域 17 が形成されている。即ち、不純物領域 17 と低濃度のドレイン領域 17

a とは互いに接続した第 1 及び第 2 のウェル領域 15a、15b の表層に大部分の領域がかかるように一体的に形成されている。また、不純物領域 17 と低濃度のドレイン領域 17a の外側周辺部には受光部を避けて低濃度ドレイン領域 17a に接続するようにコンタクト層としての高濃度のドレイン領域 17b が形成されている。

【0018】さらに、この MOS 型イメージセンサの特徴であるキャリアポケット（高濃度埋込層）25 は、ゲート電極 19 下の第 2 のウェル領域 15b 内であって、ソース領域 16a の周辺部に、ソース領域 16a、16b を取り囲むように形成されている。ドレイン領域 17a、17b は低抵抗のコンタクト層 17b を通してドレイン電圧（VDD）供給線（又はドレイン電極）22 と接続され、ゲート電極 19 は垂直走査信号（VSCAN）供給線 21 に接続され、ソース領域 16a、16b は低抵抗のコンタクト層 16b を通して垂直出力線（又はソース電極）20 に接続されている。

【0019】また、受光ダイオード 111 の受光窓 24 以外の領域は金属層（遮光膜）23 により遮光されている。上記の MOS 型イメージセンサにおける光信号検出のための素子動作においては、掃出期間（初期化）－蓄積期間－読出期間－掃出期間（初期化）－・・・というように、掃出期間（初期化）－蓄積期間－読出期間という一連の過程が繰り返される。

【0020】掃出期間（初期化）では、光発生電荷（光発生キャリア）を蓄積する前に、読み出しが終わって残留する光発生電荷や、アクセプタやドナー等を中性化し、或いは表面準位に捕獲されている正孔や電子等、光信号の読み出し前の残留電荷を半導体内から排出して、キャリアポケット 25 を空にする。ソース領域 16a、16b やドレイン領域 17a、17b やゲート電極 19 に約 +5V 以上、通常 7～8V 程度の正の高電圧を印加する。

【0021】蓄積期間では、光照射によりキャリアを発生させ、キャリアのうち正孔（ホール）を第 1 及び第 2 のウェル領域 15a、15b 内を移動させてキャリアポケット 25 に蓄積させる。ドレイン領域 17a、17b に凡そ +2～3V の正の電圧を印加するとともに、ゲート電極 19 に MOS トランジスタ 112 がカットオフ状態を維持するような低い正或いは負の電圧を印加する。

【0022】読出期間では、キャリアポケット 25 に蓄積された光発生電荷による MOS トランジスタ 112 の閾値電圧の変化をソース電位の変化として読み取る。MOS トランジスタ 112 が飽和状態で動作するように、ドレイン領域 17a、17b に凡そ +2～3V の正の電圧を印加するとともに、ゲート電極 19 に凡そ +2～3V の正の電圧を印加する。

【0023】次に、本発明の実施の形態に係る MOS 型イメージセンサのデバイス構造を断面図を用いて説明する。図 2（a）は、図 1 の A-A 線に沿う断面図に相当

する、本発明の実施の形態に係るMOS型イメージセンサのデバイス構造について示す断面図である。図2

(b)は、半導体基板表面に沿うポテンシャルの様子を示す図である。

【0024】図3は図1のB-B線に沿う断面図であり、図4は図1のC-C線に沿う断面図である。図5

(a)は素子分離領域13の近傍の詳細断面図であり、同図(b)はドレイン電極に正の電圧を印加したときの素子分離領域13の近傍のポテンシャル分布を示すグラフである。

【0025】図2(a)に示すように、不純物濃度 $1 \times 10^{18} \text{ cm}^{-3}$ 以上のp型シリコンからなる基板11上に不純物濃度 $1 \times 10^{15} \text{ cm}^{-3}$ 程度のp型シリコンをエピタキシャル成長し、エピタキシャル層(第3の半導体層)31を形成する。このエピタキシャル層31に受光ダイオード111と光信号検出用MOSトランジスタ112とを含む単位画素101が複数形成されている。そして、各単位画素101を分離するように、隣接する単位画素101間のエピタキシャル層31表面に、選択酸化(LOCOS)によりフィールド絶縁膜(素子分離絶縁膜)14が形成されている。さらに、図5(a)に示すように、フィールド絶縁膜14の下部であって基板11上部に、エピタキシャル層31とフィールド絶縁膜14との界面全体を含み、かつn型ウエル層(一導電型領域)12を分離するようにp型の素子分離領域13が形成されている。

【0026】次に、受光ダイオード111の詳細について図2(a)及び図3により説明する。受光ダイオード111は、エピタキシャル層31内であって基板11に接して埋め込まれたn型埋込層(一導電型の埋込層)32と、n型埋込層32上に形成された低濃度のn型ウエル層(一導電型領域)12と、n型ウエル層12の表層に形成されたp型の第1のウエル領域15aと、第1のウエル領域15aの表層からn型ウエル層12の表層に延在するn型の不純物領域17とで構成されている。p型の基板11は受光ダイオード111部の反対導電型の第1の半導体層を構成する。n型埋込層32とその上に形成された低濃度のn型ウエル層12は同じく一導電型の第2の半導体層を構成する。

【0027】不純物領域17は、低濃度ドレイン(LD D)構造を有する光信号検出用MOSトランジスタ112の低濃度のドレイン領域17aから延在するように形成されており、低濃度のドレイン領域17aとほぼ同じ不純物濃度を有している。そして、不純物領域17の不純物濃度が低いため、より浅い不純物領域17が形成されている。このため、波長が短く、表面から離れるにつれて急激に減衰してしまう青色光を十分な強度で受光することができる。

【0028】また、上記説明した蓄積期間において、不純物領域17はドレイン電圧供給線22に接続されて正

の電位にバイアスされる。このとき、不純物領域17と第1のウエル領域15aとの境界面から空乏層が第1のウエル領域15a全体に広がり、n型ウエル層12に達する。一方、基板11とn型埋込層32との境界面から空乏層がn型埋込層32及びその上のn型ウエル層12全体に広がり、第1のウエル領域15aに達する。

【0029】第1のウエル領域15a及びn型層12/32では、ポテンシャルが基板11側から表面側に向かって漸減するようなポテンシャル分布となるため、第1のウエル領域15a内とn型層12/32内で光により発生した正孔(ホール)は基板11側に流出しないでこれらの領域15aやn型層12/32内にとどまるようになる。これらの領域15aやn型層12/32はMOSトランジスタ112のゲート領域15bと繋がっているため、光により発生したこれらのホールをMOSトランジスタ112の閾値電圧変調用の電荷として有効に用いることができる。言い換えれば、第1のウエル領域15a及びn型層12/32全体が光によるキャリア発生領域となる。

【0030】このように、n型埋込層32を有するので、受光ダイオード111のキャリア発生領域の全厚は厚くなる。これにより、受光ダイオード111に光を照射したとき、そのキャリア発生領域は赤色光のような受光部の奥深くまで到達する波長の長い光に対して感度のよい受光部となる。また、上記の受光ダイオード111においては不純物領域17の下に光によるキャリア発生領域が配置されているという点で、受光ダイオード111は光により発生した正孔(ホール)に対する埋め込み構造を有している。従って、捕獲率の高い半導体層表面に影響されず、雑音の低減を図ることができる。

【0031】次に、光信号検出用MOSトランジスタ112の詳細について図2(a)及び図4により説明する。MOSトランジスタ112部分は、下から順に、p型の基板11と、この基板11上に形成されたp型のエピタキシャル層31と、このエピタキシャル層31内に形成された、p型埋込層(反対導電型の埋込層)33及びこのp型埋込層33の直上のn型ウエル層12と、n型ウエル層12内に形成されたp型の第2のウエル領域15bとを有している。p型の基板11と、p型埋込層33を含むエピタキシャル層31とはMOSトランジスタ112部の反対導電型の第1の半導体層を構成し、n型ウエル層12は同じく一導電型の第2の半導体層を構成し、p型埋込層33を含むエピタキシャル層31は第3の半導体層を構成している。

【0032】このMOSトランジスタ112はリング状のゲート電極19の外周をn型の低濃度のドレイン領域17aが囲むような構造を有する。n型の低濃度のドレイン領域17aはn型の不純物領域17と一体的に形成されている。低濃度のドレイン領域17aから延在する不純物領域17の外側周辺部には、この不純物領域17

と接続し、素子分離領域 13 及び素子分離絶縁膜 14 にまで延びる高濃度のドレイン領域 17b が形成されている。高濃度のドレイン領域 17b はドレイン電極 22 のコンタクト層となる。図 5 (a) に示すように、ドレイン電極 22 は素子分離領域 13 及び素子分離絶縁膜 14 の近くで、その高濃度のドレイン領域 17b に接続している。

【0033】また、リング状のゲート電極 19 によって囲まれるように n 型のソース領域 16a、16b が形成されている。ソース領域 16a、16b は、中央部が高濃度となっており、周辺部が低濃度となっている。ソース電極 20 は、コンタクト層としての高濃度のソース領域 16b に接続している。ゲート電極 19 は、ドレイン領域 17a とソース領域 16a の間の第 2 のウエル領域 15b 上にゲート絶縁膜 18 を介して形成されている。ゲート電極 19 下の第 2 のウエル領域 15b の表層がチャネル領域となる。さらに、通常の動作電圧において、チャネル領域を反転状態或いはデプレッション状態に保持するため、チャネル領域に適当な濃度の n 型不純物を導入してチャネルドープ層 15c を形成している。

【0034】そのチャネル領域の下の第 2 のウエル領域 15b 内であってチャネル長方向の一部領域に、即ちソース領域 16a、16b の周辺部であって、ソース領域 16a、16b を囲むように、p+ 型のキャリアポケット（高濃度埋込層）25 が形成されている。この p+ 型のキャリアポケット 25 は、例えばイオン注入法により形成することができる。キャリアポケット 25 は表面に生じるチャネル領域よりも下側の第 2 のウエル領域 15b 内に形成される。キャリアポケット 25 はチャネル領域にかからないように形成することが望ましい。

【0035】上記した p+ 型のキャリアポケット 25 では光発生電荷のうち光発生ホールに対するポテンシャルが低くなるため、ドレイン領域 17a、17b にゲート電圧よりも高い電圧を印加したときに光発生ホールをこのキャリアポケット 25 に集めることができる。図 2 (b) に光発生ホールがキャリアポケット 25 に蓄積し、チャネル領域に電子が誘起されて反転領域が生じている状態のポテンシャル図を示す。この蓄積電荷により、MOS トランジスタ 112 の閾値電圧が変化する。従って、光信号の検出は、この閾値電圧の変化を検出することにより行うことができる。

【0036】ところで、上記したキャリアの掃出期間においては、ゲート電極 19 に高い電圧を印加し、それによって生じる電界によって第 2 のウエル領域 15b に残るキャリアを基板 11 側に掃き出している。この場合、印加した電圧によって、チャネル領域のチャネルドープ層 15c と第 2 のウエル領域 15b との境界面から空乏層が第 2 のウエル領域 15b に広がり、また、p 型埋込層 33 と n 型ウエル層 12 との境界面から空乏層が第 2 のウエル領域 15b の下の n 型ウエル層 12 に広がる。

【0037】従って、ゲート電極 19 に印加した電圧による電界の及ぶ範囲は、主として第 2 のウエル領域 15b 及び第 2 のウエル領域 15b の下の n 型ウエル層 12 にわたる。この場合、第 2 のウエル領域 15b の下の n 型ウエル層 12 の厚さが薄く、かつ n 型ウエル層 12 の基板 11 側に隣接して高濃度の p 型埋込層 33 が形成されている。高濃度の p 型埋込層 33 のため、p 型埋込層 33 への空乏層の広がり制限される。従って、掃出期間において p 型埋込層 33 と n 型ウエル層 12 との境界面から空乏層が主として n 型ウエル層 12 内に広がるため、空乏層全体の厚さは薄くなる。

【0038】即ち、ゲート電極 19 からの電圧は主に第 2 のウエル領域 15b にかかることになる。言い換えれば、第 2 のウエル領域 15b に急激なポテンシャル変化が生じて正孔を基板 11 側に掃き出すような強い電界が主として第 2 のウエル領域 15b にかかるため、キャリアポケット 25 及び第 2 のウエル領域 15b 内に蓄積されたキャリアを、低いリセット電圧でそこからより確実に掃き出すことができ、これによりリセット効率の向上を図ることができる。

【0039】上記実施の形態に係る MOS 型イメージセンサにおいては、素子分離絶縁膜 14 の下の p 型の基板 11 上に素子分離絶縁膜 14 の下面を含み、かつ n 型ウエル層 12 を分離するように p 型の素子分離領域 13 が形成されている。即ち、素子分離絶縁膜 14 と素子分離領域 13 の界面で生じた欠陥が素子分離領域 13 によって囲まれている。

【0040】このため、初期化期間及び蓄積期間において n 型のドレイン領域 17a、17b に正の電圧を印加したときに、p 型のウエル領域 15a、15b 或いは p 型の基板 11 から広がる空乏層は素子分離領域 13 の外側周辺部に到達するのみで、素子分離領域 13 の内部には広がらないため、前記界面に生じた欠陥は前記空乏層には覆われない。従って、欠陥に捕獲された電荷がその空乏層中に放出されるのを防止することができ、これにより、欠陥に起因する電荷のホールポケット 25 への蓄積による固定パターン雑音を抑制することができる。

【0041】また、図 5 (a) に示すように、素子分離絶縁膜 14 及び素子分離領域 13 の近くにドレイン電極 22 を設けている。この場合、初期化期間及び蓄積期間において n 型のドレイン領域 17a、17b に正の電圧を印加したときに p 型のウエル領域 15a、15b 或いは p 型の基板 11 から n 型ウエル層 12 内に空乏層が広がり、図 5 (b) に示すようなポテンシャル分布となる。即ち、ドレイン電極 22 が最も高電位になり、かつ基板 11 及び基板 11 と接続した素子分離領域 13 が最も低電位になる。ドレイン電極 22 から素子分離領域 13 にかけて急峻なポテンシャル傾斜となる。これにより、たとえ素子分離絶縁膜 14 の近傍で選択酸化による熱歪み等により欠陥が生じてその欠陥に捕獲された電荷

が放出されても直ちに基板 11 側に流れ、ウェル領域 15a、15b の方、従ってホールポケット 25 の方には流れにくくなる。

【0042】これにより、素子分離領域 13 と素子分離絶縁膜 14 との界面に生じた欠陥や、素子分離絶縁膜 14 の近傍に熱歪み等により生じた欠陥に起因する電荷のホールポケット 25 への蓄積による固定パターン雑音をより一層抑制することができる。次に、図 7 を参照して上記の構造の単位画素を用いた MOS 型イメージセンサの全体の構成について説明する。図 7 は、本発明の実施の形態における MOS 型イメージセンサの回路構成図を示す。

【0043】図 7 に示すように、この MOS 型イメージセンサは、2 次元アレーセンサの構成を採っており、上記した構造の単位画素が列方向及び行方向にマトリクス状に配列されている。また、垂直走査信号 (VSCAN) の駆動走査回路 102 及びドレイン電圧 (VDD) の駆動走査回路 103 が画素領域を挟んでその左右に配置されている。

【0044】垂直走査信号供給線 21a、21b は垂直走査信号 (VSCAN) の駆動走査回路 102 から行毎に一つずつでている。各垂直走査信号供給線 21a、21b は行方向に並ぶ全ての単位画素 101 内の MOS トランジスタ 112 のゲートに接続されている。また、ドレイン電圧供給線 (VDD 供給線) 22a、22b はドレイン電圧 (VDD) の駆動走査回路 103 から行毎に一つずつでている。各ドレイン電圧供給線 (VDD 供給線) 22a、22b は、行方向に並ぶ全ての単位画素 101 内の光信号検出用 MOS トランジスタ 112 のドレインに接続されている。

【0045】また、列毎に異なる垂直出力線 20a、20b が設けられて、各垂直出力線 20a、20b は列方向に並ぶ全ての単位画素 101 内の MOS トランジスタ 112 のソースにそれぞれ接続されている。さらに、列毎に異なるスイッチとしての MOS トランジスタ 105a、105b が設けられており、各垂直出力線 20a、20b は各 MOS トランジスタ 105a、105b のドレイン (光検出信号入力端子) 28a、29a に一つずつ接続されている。各スイッチ 105a、105b のゲート (水平走査信号入力端子) 28b、29b は水平走査信号 (HSCAN) の駆動走査回路 104 に接続されている。

【0046】また、各スイッチ 105a、105b のソース (光検出信号出力端子) 28c、29c は共通の定電流源 (負荷回路) 106 を通して映像信号出力端子 107 に接続されている。即ち、各単位画素 101 内の MOS トランジスタ 112 のソースは定電流源 106 に接続され、画素単位のソースフォロウ回路を形成している。従って、各 MOS トランジスタ 112 のゲートソース間の電位差、及びバルクソース間の電位差は接続

された定電流源 106 により決定される。

【0047】垂直走査信号 (VSCAN) 及び水平走査信号 (HSCAN) により、逐次、各単位画素の MOS トランジスタ 112 を駆動して光の入射量に比例した映像信号 (Vout) が読み出される。図 8 は、本発明に係る MOS 型イメージセンサを動作させるための各入出力信号のタイミングチャートを示す。p 型の第 1 及び第 2 のウェル領域 15a、15b を用い、かつ光信号検出用トランジスタ 112 が nMOS の場合に適用する。

10 【0048】次に、図 7、図 8 にしたがって、一連の連続した固体撮像素子の光検出動作を簡単に説明する。光検出動作は、前記したように、掃出期間 (初期化) - 蓄積期間 - 読出期間からなる一連の過程を繰り返し行う。まず、初期化動作により、キャリアポケット 25 内、第 1 及び第 2 のウェル領域 15a、15b 内に残る電荷を排出する。即ち、VDD 供給線 22a、22b を通して光信号検出用 MOS トランジスタ 112 のドレインに、また VSCAN 供給線 21a、21b を通して同じくゲートにそれぞれ凡そ 7~8V の高い正の電圧を印加す

20 る。
【0049】このとき、第 2 のウェル領域 15b の下の n 型ウェル層 12 の厚さは薄く、かつ n 型ウェル層 12 の基板 11 側に高濃度の p 型埋込層 33 が接しているの

30 る。
【0050】次いで、光信号検出用 MOS トランジスタ 112 のゲート電極 19 に低いゲート電圧を印加し、ドレイン領域 17a、17b にトランジスタの動作に必要な約 2~3V の電圧 (VDD) を印加する。このとき、第 1 のウェル領域 15a と n 型ウェル層 12 及び n 型埋込層 32 が空乏化するとともに、第 2 のウェル領域 15b は空乏化する。そして、ドレイン領域 17a、17b からソース領域 16a、16b に向かう電界が生じる。

40 【0051】次いで、受光ダイオード 111 に光を照射する。このとき、受光ダイオード 111 の部分のキャリア発生領域は、表面に近く形成されているので、青色光のような波長が短く、表面近くで減衰しやすい光に対しても感度が向上し、またその全厚は厚くなっているの

50 【0052】上記電界によりこの光発生電荷のうち光発生ホールが光信号検出用 MOS トランジスタ 112 のゲ

ート領域 15b に注入され、かつキャリアポケット 25 に蓄積される。これにより、チャネル領域からその下のゲート領域 15b に広がる空乏層幅が制限されるとともに、そのソース領域 16a、16b 付近のポテンシャルが変調されて、MOS トランジスタ 112 の閾値電圧が変化する。

【0053】上記初期化期間及び蓄積期間において、n 型のドレイン領域 17a、17b に正の電圧を印加したときに、素子分離絶縁膜 14 と半導体層との界面が素子分離領域 13 によって覆われているため、その界面がウェル領域から広がる空乏層に曝されず、このため、その界面の欠陥に捕獲された電荷が空乏層中に放出されるのを防止することができる。これにより、欠陥に起因する電荷のホールポケット 25 への蓄積による固定パターン雑音を抑制することができる。

【0054】さらに、n 型のドレイン領域 17a、17b に正の電圧を印加したときに、ドレイン電極 22 が素子分離絶縁膜 14 の近くに接続されているため、たとえ素子分離絶縁膜 14 の近傍の欠陥から電荷が放出されてもその電荷がホールポケット 25 の方に流れるのを抑制することができる。これにより、欠陥に起因する電荷のホールポケット 25 への蓄積による固定パターン雑音をより一層抑制することができる。

【0055】次いで、ゲート電極 19 に MOS トランジスタ 112 が飽和状態で動作しうる約 2～3V のゲート電圧を印加し、ドレイン領域 17a、17b に MOS トランジスタ 112 が動作しうる約 2～3V の電圧 VDD を印加する。これにより、キャリアポケット 25 上方のチャネル領域の一部に低電界の反転領域が形成され、残りの部分に高電界領域が形成される。このとき、MOS トランジスタ 112 のドレイン電圧－電流特性は、図 6 に示すように、飽和特性を示す。

【0056】さらに、MOS トランジスタ 112 のソース領域 16a、16b に定電流源 106 を接続して一定の電流を流す。これにより、MOS トランジスタ 112 はソースフォロワ回路を形成し、従って、光発生ホールによる MOS トランジスタ 112 の閾値電圧の変動に追従してソース電位が変化し、出力電圧の変化をもたらす。

【0057】このようにして、光照射量に比例した映像信号 (Vout) を取り出すことができる。以上のように、この発明の実施の形態によれば、初期化期間及び蓄積期間において、素子分離絶縁膜 14 と素子分離領域 13 の界面で生じた欠陥に起因する電荷のホールポケット 25 への蓄積による固定パターン雑音を一層抑制することができる。

【0058】さらに、掃出動作（初期化）－蓄積動作－読出動作の一連の過程において、光発生ホールが移動するときに、半導体表面やチャネル領域内の雑音源と相互作用しない理想的な光電変換機構を実現することができ

る。また、キャリアポケット 25 への電荷蓄積により、図 6 に示すように、MOS トランジスタ 112 を飽和状態で動作させることができ、しかも、ソースフォロワ回路を形成しているので、光発生電荷による閾値電圧の変化をソース電位の変化として検出することができる。このため、線型性の良い光電変換を行うことができる。

【0059】次に、本発明の他の実施の形態に係る固体撮像素子について説明する。図 9 は本発明の他の実施の形態に係る固体撮像素子の平面図である。図中、図 2

(a) と同じ符号で示すものは同じものを示し、その説明を省略する。この他の実施の形態に係る固体撮像素子の構成において、図 2 (a) と異なるところは、図 9 に示すように、p 型の基板（第 1 の半導体層）11 上に p 型のエピタキシャル層 31 が形成されておらず、図 2

(a) の一導電型領域 12 に相当する n 型のエピタキシャル層（一導電型領域、第 2 の半導体層）12a が形成されていることである。さらに、その n 型のエピタキシャル層 12a 内に第 1 のウェル領域 15a と第 2 のウェル領域 15b が形成されていることである。また、図 9 では、図 2 (a) の p 型のエピタキシャル層 31 に形成されていた n 型埋込層 32 と p 型埋込層 33 を有しないことである。

【0060】この固体撮像素子においても、図 2 (a) と同様に、素子分離絶縁膜 14 の下の p 型の基板（第 1 の半導体層）11 上に素子分離絶縁膜 14 の下面を含み、かつ n 型のエピタキシャル層（一導電型領域、第 2 の半導体層）12a を分離するように p 型の素子分離領域 13 が形成されている。即ち、素子分離絶縁膜 14 と素子分離領域 13 との界面で欠陥が生じて、それらの欠陥は素子分離領域 13 によって囲まれることになる。

【0061】このため、図 2 (a) と同様に、素子分離絶縁膜 14 と素子分離領域 13 との界面の欠陥に捕獲された電荷がその空乏層中に放出されるのを防止ことができ、上記界面の欠陥に起因する電荷のホールポケット（キャリアポケット）25 への蓄積による固定パターン雑音を抑制することができる。また、図 2 (a) と同様に、素子分離絶縁膜 14 及び素子分離領域 13 の近くにドレイン電極 22 を設けている。従って、図 2 (a) と同様に、たとえ素子分離絶縁膜 14 の近傍で熱歪み等により欠陥が生じてその欠陥に捕獲された電荷が放出されても直ちに基板 11 側に流れ、これにより、素子分離絶縁膜 14 の近傍に生じた欠陥から放出された電荷のホールポケット 25 への蓄積による固定パターン雑音をより一層抑制することができる。

【0062】以上、実施の形態によりこの発明を詳細に説明したが、この発明の範囲は上記実施の形態に具体的に示した例に限られるものではなく、この発明の要旨を逸脱しない範囲の上記実施の形態の変更はこの発明の範囲に含まれる。例えば、上記の実施の形態では、素子分離領域 13 上に選択酸化 (LOCOS) による素子分離

絶縁膜 14 が形成されているが、通常の熱酸化膜等が形成されている場合も本発明を適用できる。これにより、上記実施の形態と同様に固定パターンノイズを防止することができる。一般に、絶縁膜と半導体層との界面には界面準位が生じ易い。ドレイン領域 17a、17b に素子分離絶縁膜 14 が隣接しているような場合、ドレイン領域 17a、17b の端部ではドレイン領域 17a、17b の p n 接合終端部が表面と接しており、ドレイン領域 17a、17b から横方向に広がる空乏層中に界面準位が含まれる。これにより、リーク電流が生じ易いためである。

【0063】また、ドレイン電極 22 がドレイン領域 17b の端部、かつ素子分離領域 13 の近くに形成されているが、ドレイン領域 17b の端部及び素子分離領域 13 から遠くであってもよい。この場合も、素子分離絶縁膜 14 と素子分離領域 13 の界面で生じた欠陥が素子分離領域 13 によって囲まれているため、初期化期間及び蓄積期間において n 型のドレイン領域 17a、17b に正の電圧を印加したときに、p 型のウェル領域 15a、15b 或いは p 型の基板 11 から広がる空乏層は素子分離領域 13 の外側周辺部に到達するのみで、素子分離領域 13 の内部には広がらない。このため、前記界面に生じた欠陥は前記空乏層には覆われず、従って、欠陥に捕獲された電荷がその空乏層中に放出されるのを防止することができる。これにより、欠陥に起因する電荷のホールポケット 25 への蓄積による固定パターン雑音を抑制することができる。

【0064】さらに、p 型の基板 11 を用いているが、代わりに n 型の基板を用いてもよい。この場合、上記実施の形態と同様な効果を得るためには、上記実施の形態等で説明した各層及び各領域の導電型をすべて逆転させればよい。この場合、キャリアポケット 25 に蓄積すべきキャリアは電子及び正孔のうち電子である。

【0065】

【発明の効果】以上のように、本発明によれば、隣接する単位画素を分離するように素子分離絶縁膜が形成され、かつ素子分離絶縁膜の下面を含み、かつ第 1 の半導体層まで達するように第 2 の半導体層を分離する反対導電型の素子分離領域が形成されていることを特徴としている。

【0066】このため、初期化期間及び蓄積期間においてドレイン領域に逆電圧を印加したときに、ウェル領域或いは基板から広がる空乏層は素子分離領域の外側周辺部に達するのみで素子分離領域の内部には広がらないため、上記界面の欠陥は上記空乏層に覆われない。従って、上記界面の欠陥に捕獲された電荷がその空乏層中に放出されるのを防止することができ、このような界面の欠陥に起因する電荷のキャリアポケットへの蓄積による固定パターン雑音を抑制することができる。

【0067】また、ドレイン領域の端部、かつ素子素子

分離領域の近くにドレイン電極が設けられている。初期化期間及び蓄積期間においては、ドレイン電極が最も高電位になり、かつ基板及び基板と接続した素子分離領域が最も低電位になる。即ち、ドレイン電極から素子分離領域にかけて急峻なポテンシャル傾斜となる。このポテンシャル傾斜により、たとえドレイン領域の端部でリーク電流が生じたとしてもリーク電流の基となる電荷が直ちに基板側に流れ、ウェル領域の方、従ってホールポケットの方には流れにくくなる。

10 【0068】これにより、欠陥に起因する電荷のホールポケットへの蓄積による固定パターン雑音をより一層抑制することができる。

【図面の簡単な説明】

【図 1】本発明の実施の形態に係る固体撮像素子の単位画素内の素子レイアウトを示す平面図である。

20 【図 2】(a) は、本発明の実施の形態に係る固体撮像素子の単位画素内の素子の構造を示す、図 1 の A-A 線に沿う断面図である。(b) は、光発生ホールがキャリアポケットに蓄積し、チャネル領域に電子が誘起されて反転領域が生じている状態のポテンシャルの様子を示す図である。

【図 3】本発明の実施の形態に係る固体撮像素子の単位画素内の受光ダイオードの構造を示す、図 1 の B-B 線に沿う断面図である。

【図 4】本発明の実施の形態に係る固体撮像素子の単位画素内の光信号検出用 MOS トランジスタの構造を示す、図 1 の C-C 線に沿う断面図である。

30 【図 5】(a) は本発明の実施の形態に係る固体撮像素子のドレイン電極の接続状態を示す断面図であり、(b) はドレイン電極近傍のポテンシャル分布を示すグラフである。

【図 6】本発明の実施の形態に係る固体撮像素子の光信号検出用 MOS トランジスタのドレイン電流-電圧特性を示すグラフである。

【図 7】本発明の実施の形態に係る固体撮像素子の全体の回路構成を示す図である。

【図 8】図 7 の固体撮像素子を動作させる際のタイミングチャートである。

40 【図 9】本発明の他の実施の形態に係る固体撮像素子の単位画素内の素子の構造を示す断面図である。

【図 10】従来例に係る固体撮像素子の単位画素内の素子の構造を示す断面図である。

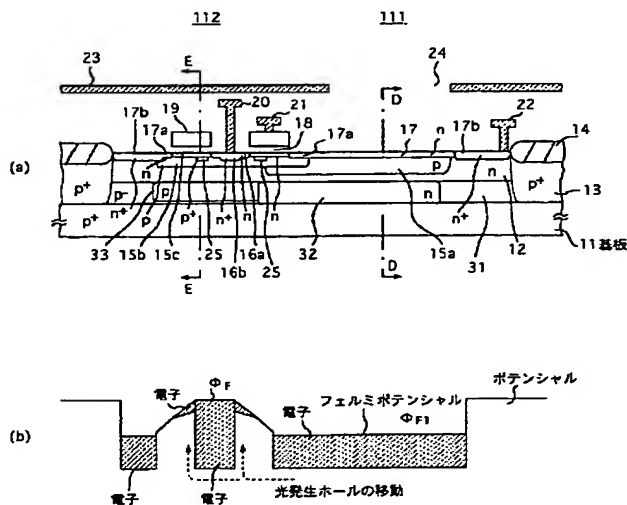
【符号の説明】

- 11 基板 (第 1 の半導体層)
- 12 n 型ウェル層 (一導電型領域、第 2 の半導体層)
- 12a エピタキシャル層 (一導電型領域、第 2 の半導体層)
- 13 素子分離領域
- 14 素子分離絶縁膜
- 15a 第 1 のウェル領域

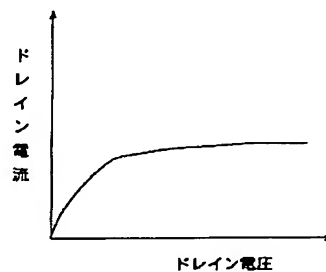
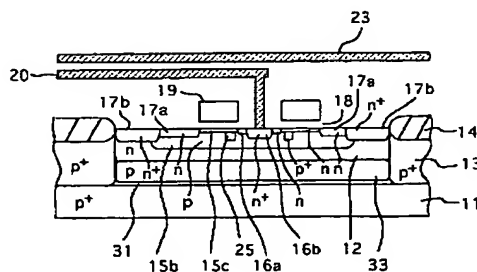
18

- 3 2 n 型埋込層（一導電型の埋込層、第 2 の半導体層）
- 3 3 p 型埋込層（反対導電型の埋込層、第 3 の半導体層）
- 1 0 1 単位画素
- 1 0 6 定電流源（負荷回路）
- 1 0 7 映像信号出力端子
- 1 1 1 受光ダイオード
- 1 1 2 光信号検出用絶縁ゲート型電界効果トランジスタ（光信号検出用 M O S トランジスタ）

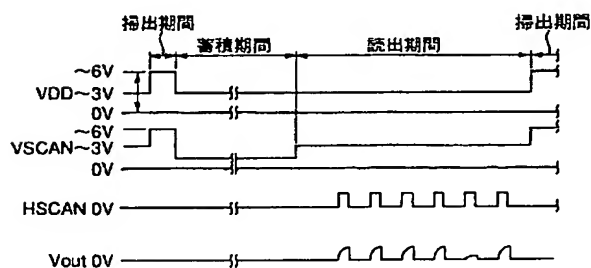
【图 2】



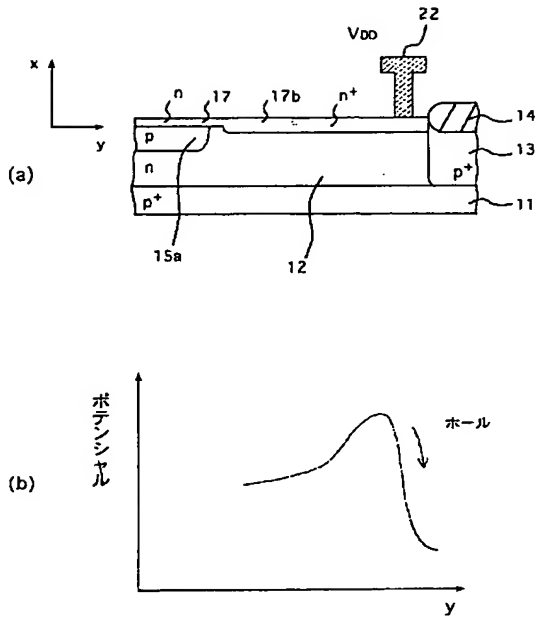
【図 6】



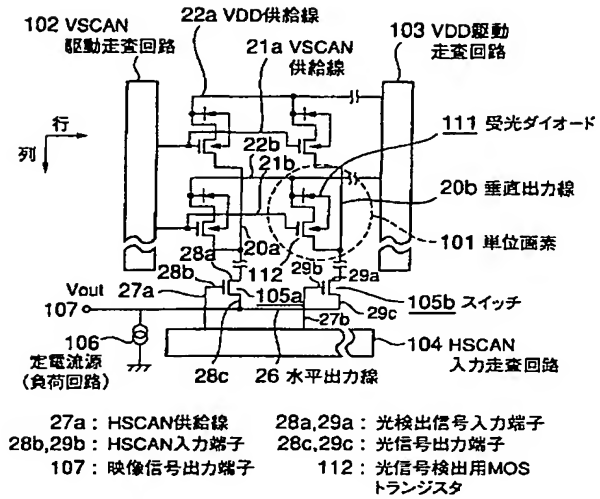
【図 8】



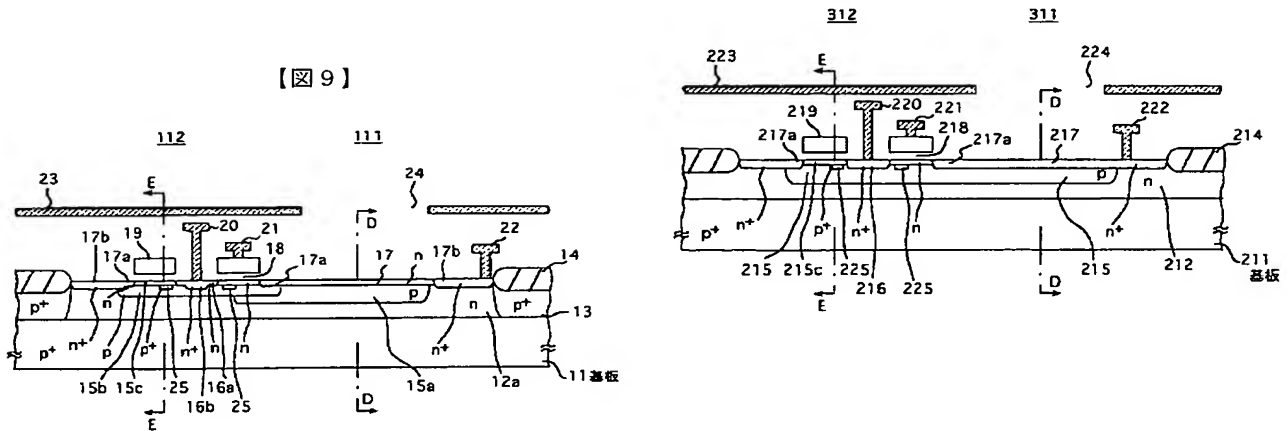
【図 5】



【図 7】



【図 10】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.